

日 本 国 特 許 庁

JAPAN PATENT OFFICE

26. 2. 2004

REC'D 18 MAR 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 3月26日

出 願 番 号  
Application Number: 特願2003-085132  
[ST. 10/C]: [JP 2003-085132]

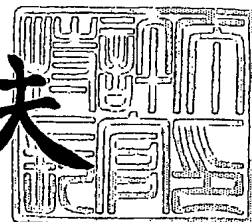
出 願 人  
Applicant(s): 日本電気株式会社

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 8月20日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 33409951

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 3/18

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 笹岡 千秋

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100110928

    【弁理士】

    【氏名又は名称】 速水 進治

    【電話番号】 03-3461-3687

【手数料の表示】

    【予納台帳番号】 138392

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0110433

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体レーザおよびその製造方法

【特許請求の範囲】

【請求項 1】 G a N系半導体基板と、該 G a N系半導体基板の上部に形成され、A l G a Nクラッド層およびその上部に形成された活性層を含む積層膜とを有する半導体レーザであって、

当該半導体レーザの共振器方向に沿う前記積層膜の側面が、前記 G a N系半導体基板側から前記積層膜の上部に向けて共振器幅が小となる方向に傾斜していることを特徴とする半導体レーザ。

【請求項 2】 請求項 1 に記載の半導体レーザにおいて、

前記 G a N系半導体基板上にマスクが形成され、該マスクの上部に前記積層膜が形成されており、共振器方向に沿う前記積層膜の側面は、前記マスクから選択成長した半導体層の成長面であることを特徴とする半導体レーザ。

【請求項 3】 G a N系半導体基板と、該 G a N系半導体基板の上部に形成され、A l G a Nクラッド層およびその上部に形成された活性層を含む積層膜と、を有する半導体レーザであって、

前記積層膜中に、当該半導体レーザの共振器方向に延在する一対の溝部が形成され、

前記活性層は前記一対の溝部に挟まれた領域に形成されていることを特徴とする半導体レーザ。

【請求項 4】 請求項 3 に記載の半導体レーザにおいて、

前記一対の溝部の底面にマスクを有し、前記溝部の側面は、前記マスクから選択成長した半導体層の成長面であることを特徴とする半導体レーザ。

【請求項 5】 請求項 3 または 4 に記載の半導体レーザにおいて、

前記一対の溝部は、前記 A l G a Nクラッド層の露出面を含み、溝部の側面が、前記 G a N系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜していることを特徴とする半導体レーザ。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の半導体レーザにおいて、当該半導体レーザの共振器端面が、G a N系半導体基板および前記積層膜の劈

開面であることを特徴とする半導体レーザ。

【請求項 7】 GaN系半導体からなるウエハ上に、AlGaInクラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、

前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、

前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、

前記バーを前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、

を含み、

前記溝部は前記AlGaInクラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜することを特徴とする半導体レーザの製造方法。

【請求項 8】 GaN系半導体からなるウエハ上に、一方向に延在する複数のストライプ状のマスクを形成する工程と、

前記マスクの開口部から、前記マスクの直上に溝部を形成させながらAlGaInクラッド層およびその上部に形成された活性層を含む積層膜を選択成長させる工程と、

前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、

前記バーを、前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、

を含むことを特徴とする半導体レーザの製造方法。

【請求項 9】 請求項 7 または 8 に記載の半導体レーザの製造方法において、

前記バーを前記溝部で切断し、前記半導体レーザチップに分離することを特徴とする半導体レーザの製造方法。

【請求項 10】 請求項 7 または 8 に記載の半導体レーザの製造方法において、

前記バーを前記溝部以外の領域において切断し、一对の溝部を含む半導体レーザチップに分離することを特徴とする半導体レーザの製造方法。

【請求項 11】 GaN系半導体からなるウエハ上に、AlGaInクラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、

前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、

前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、

前記バーを、前記溝部以外の領域において前記溝部の延在方向と平行に切断し、一对の溝部を含む半導体レーザチップに分離する工程と、

を含むことを特徴とする半導体レーザの製造方法。

【請求項 12】 請求項 7 乃至 11 いずれかに記載の半導体レーザの製造方法において、

バーを形成する前記工程を劈開により行うことを特徴とする半導体レーザの製造方法。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、GaN系半導体基板を用いた半導体レーザおよびその製造方法に関するものである。

#### 【0002】

#### 【従来の技術】

窒化ガリウムに代表されるGaN系半導体は、高効率の青紫色発光が得られることから、発光ダイオード(light emitting diode, LED)やレーザーダイオード(laser diode, LD)材料として注目を浴びている。なかでもLDは大容量光ディスク装置の光源として期待され、近年では書き込み用光源として高出力LDの開発が勢力的に進められている。

#### 【0003】

GaN系半導体を用いたデバイスは、従来、サファイアやSiC等の異種材料基

板を利用して作製されてきた。すなわち、サファイア基板やSiC基板上に2段階成長法を用いてウルツ鉱型GaN(0001)層を成長させ、これらのGaN層を基板として素子構造が作製されてきた。これは良質なバルクGaN単結晶基板が得られなかったためである。

#### 【0004】

ところが、これらの異種基板を用いた場合、基板とGaNの格子定数の相違によりGaN層に高密度の転位が導入されることとなり、良質な結晶を得ることが困難であった。さらに、サファイア基板に関しては、熱伝導度が低いため素子の放熱特性が悪いこと、劈開面がGaNとサファイアで異なりLD作製時にミラー形成が困難なこと、さらに絶縁体であるため裏面電極型素子の作製が不可能なこと等、実用上、種々の課題を抱えている。

#### 【0005】

こうした状況下、近年、HVPE(hydride Vapor phase Epitaxy)を用いたGaN厚膜成長技術と選択成長を利用した転位低減化技術を組合せ、良質な低転位GaN基板を得る技術が検討されている。熱伝導特性、電気伝導特性の良好なGaN基板を用いることにより、放熱特性の改善、裏面電極型半導体レーザの実現等が期待され、将来的にGaN基板上での素子が主流になると考えられる。

#### 【0006】

こうしたGaN基板を利用して半導体素子を作製する製造方法を採用するにあたっては、プロセス上、多くの課題を解決する必要がある。そうした課題の一つとして、基板上に半導体層を成長させた後、どのような方法でチップに分割するかが重要な技術的課題となっている。ウルツ鉱型の結晶構造を有するGaN基板は、ウエハ面で互いに直交する2方向の劈開面が存在せず、矩形状のチップを劈開のみで得ることができない。一方、GaN基板は非常に硬く、劈開方向以外の面で切断しようとするときクラックが発生しやすい。このため、チップ分離に際しクラックの発生が問題となる。

#### 【0007】

こうしたクラックの発生を抑制する技術が特許文献1に記載されている。この文献には、素子形成面に割り溝を形成し、基板裏面に当該割り溝よりも狭幅の割

溝を形成し、これらの溝を利用して素子分離を行うものである。同文献の段落 0041～0042 および第一図には、発光ダイオードのチップ分離工程が記載されている。以下、このプロセスについて図9を参照して説明する。この発光ダイオードは、C面(0001) n型Ga<sub>0.45</sub>N基板100、n型Ga<sub>0.45</sub>Nバッファ層101、n型AlGa<sub>0.3</sub>Nクラッド層102、活性層103、p型AlGa<sub>0.3</sub>Nクラッド層104、p型Ga<sub>0.45</sub>Nコンタクト層105、n型電極106、p型電極107、第Aの割り溝108、第Bの割り溝109から構成されている。第Aの割り溝108をドライエッチングにより形成した後、第Bの割り溝109はスクライバにより形成する。スクライブ後、真空チャックを解放し、ウエハをテーブルから外し取り、ウエハのGa<sub>0.45</sub>N基板側全面にn型電極106を形成する。その後、結晶成長側の面(p型電極形成面)に粘着シートを貼付し、Ga<sub>0.45</sub>N基板側から軽くローラーで押し当てることにより、2インチφのウエハから350μm×250μm角のチップを多数得る。このような方法により、チップの切断面にクラック、チッピング等が発生しておらず、外形不良の無い素子を得ることができるとされている。

#### 【0008】

#### 【特許文献1】

特開2001-176823号公報

#### 【0009】

#### 【発明が解決しようとする課題】

上記の記載をはじめ同文献の実施形態の項には、主として発光ダイオードへの適用例が記載されている。一方、GAN系半導体基板を用いて半導体レーザを形成する場合、その素子構造中にクラックが発生するとその箇所が光の散乱中心となるため、内部損失の増大を招き素子特性が大きく劣化する。したがって、半導体レーザを作製する際には、電子素子や発光ダイオード等の他の素子を作製するプロセス以上に、チップ分離工程における半導体層の損傷防止に関し留意する必要がある。

#### 【0010】

くわえて、著者らの詳細な実験の結果、Ga<sub>0.45</sub>N基板を用いた場合、サファイア

およびSiCを基板とした時と比べ、素子分離時にAlGaIn層に発生するクラックが極めて多いことが明らかになった。

#### 【0011】

素子分離時のクラック発生メカニズムは次のように考えられる。窒化ガリウム系半導体レーザにおいては、GaInとInやAlを含む $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 混晶が積層され活性層として用いられる。LDでは、n型GaInコンタクト層、n型AlGaIn光閉じ込め層、n型GaIn光ガイド層、InGaIn多重量子井戸活性層、p型GaIn光ガイド層、p型AlGaIn光閉じ込め層、p型GaInコンタクト層が順に積層される。AlInの格子定数はGaInに比べ小さく、混晶であるAlGaInの格子定数もGaInよりも小さくなる。このためGaIn基板上に積層されたAlGaIn層には引張モードの内部応力が残存することとなる。

#### 【0012】

こうした内部応力が層中に残存すると、LD構造にクラック等の欠陥が入りやすくなり、素子の信頼性を低下させる要因となる。特に、ウエハから各素子を切り出す素子分離工程においては、半導体層に局所的に大きな応力がかかり、クラックが発生しやすい。クラックは、引っ張り応力のかかっている層で発生するので、AlGaIn層に内在する応力の大きいGaIn基板上素子では、サファイアやSiC基板上の素子に比べクラックの発生率が高くなると考えられる。

#### 【0013】

以上のことから、特にGaIn系半導体基板を用いた半導体レーザにおけるチップ分離工程では、チップ分離における半導体層の損傷の対策が重要な技術的課題となる。かかる技術的課題の解決にあたっては、発光ダイオードのチップ分離とは異なる観点からの設計思想が必要とされる。特に、チップに分離の操作を行う時のみならず、分離後においても、損傷が起こりにくいチップ構造とすることが望まれる。たとえば、従来の半導体レーザでは、チップの最上層角部が欠損することがあった。これは、チップ分離工程において生じることもあるし、分離されたチップを搬送する際、チップを把持する治具がチップの最上層角部に当たることにより生じることもある。

#### 【0014】



本発明は上記事情に鑑みなされたものであって、その目的とするところは、GaNやAlGaN等のGaN系半導体基板を用いた半導体レーザにおいて、チップ分離面における半導体層の損傷を抑制することにある。また本発明の別な目的は、チップ分離工程等においてチップ分離面にクラックが発生した場合であっても、そのクラックが活性層に到達することを防止し、半導体レーザの信頼性を向上させることにある。

#### 【0015】

##### 【課題を解決するための手段】

本発明によれば、GaN系半導体基板と、該GaN系半導体基板の上部に形成され、AlGaNクラッド層およびその上部に形成された活性層を含む積層膜とを有する半導体レーザであって、当該半導体レーザの共振器方向に沿う前記積層膜の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて共振器幅が小となる方向に傾斜していることを特徴とする半導体レーザが提供される。

#### 【0016】

上記積層膜の側面は、ウエハからレーザ素子を分離する際の分離面となる。本発明の半導体レーザは、この分離面が傾斜した構成を有する。このため、切断箇所における半導体層の損傷、特に、半導体層の最上層角部の欠損を抑制することができる。図11は、このことを説明する図である。基板面に対して垂直方向の分離面を有する従来の構造の半導体レーザでは、図11(a)に示すように、半導体層の最上層角部において欠損が発生しやすい。これに対して本発明の構造によれば、図11(b)に示すよう半導体層の最上層角部が直角よりも大きい角度で形成されるため、こうした欠損の発生が効果的に抑制される。なお、本明細書における「共振器方向」とは、共振器の延在する方向であって、光出射方向と平行な方向をいう。「共振器幅」とは、「共振器方向」と垂直な平面におけるレーザ素子の横幅をいう。

#### 【0017】

本発明の半導体レーザにおいて、前記GaN系半導体基板上にマスクが形成され、該マスクの上部に前記積層膜が形成されており、共振器方向に沿う前記積層膜の側面は、前記マスクから選択成長した半導体層の成長面とすることができる。

## 【0018】

この構成によれば、マスク開口部から選択成長した半導体層成長面が、そのままレーザ素子の分離面となる。このため、ウエハの切断にともなうクラックの発生を有効に抑制することができる。

## 【0019】

また、本発明によれば、GaN系半導体基板と、該GaN系半導体基板の上部に形成され、AlGaNクラッド層およびその上部に形成された活性層を含む積層膜と、を有する半導体レーザであって、前記積層膜中に、当該半導体レーザの共振器方向に延在する一对の溝部が形成され、前記活性層は前記一对の溝部に挟まれた領域に形成されていることを特徴とする半導体レーザが提供される。

## 【0020】

この発明によれば、ウエハを切断してレーザ素子に分離する際、分離面でクラックが発生して基板水平方向に伝播した場合であっても、上記一对の溝部がクラックの伝播を阻止し、活性層を含む積層構造を高品質に維持することができる。

## 【0021】

この半導体レーザにおいて、前記一对の溝部の底面にマスクを有し、前記溝部の側面は、前記マスクから選択成長した半導体層の成長面である構成とすることができる。このようにすれば、ドライエッチング等の加工を経ずに溝部を形成できるので、溝部周辺における半導体層へのダメージを大幅に低減することができる。

## 【0022】

本発明の半導体レーザにおいて、前記一对の溝部は、前記AlGaNクラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜している構成とすることができる。このような形状の溝部とすることにより、溝部周辺の半導体層中の歪みが低減され、素子の信頼性をより向上させることができる。

## 【0023】

本発明の半導体レーザにおいて、当該半導体レーザの共振器端面が、GaN系

半導体基板および前記積層膜の劈開面である構成とすることができる。この構成によれば、半導体レーザの側面全部について、クラックの発生を有効に抑制することができる。光出射面となる共振器端面は劈開面であるので、クラックの発生は顕著に抑制される。一方、共振器端面と垂直方向の側面、すなわち、半導体レーザの共振器方向に沿う側面においては、側面に傾斜を設ける、あるいは、一對の溝部を設ける、という構成により、損傷が発生することが抑制されている。

#### 【0024】

さらに本発明によれば、GaN系半導体からなるウエハ上に、AlGaNクラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、前記バーを前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、を含み、前記溝部は前記AlGaNクラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜することを特徴とする半導体レーザの製造方法が提供される。

#### 【0025】

上記製造方法によれば、ウエハから素子を分離する際、クラックの発生を抑制し、信頼性に優れた半導体レーザを得ることができる。

#### 【0026】

また本発明によれば、GaN系半導体からなるウエハ上に、一方向に延在する複数のストライプ状のマスクを形成する工程と、前記マスクの開口部から、前記マスクの直上に溝部を形成させながらAlGaNクラッド層およびその上部に形成された活性層を含む積層膜を選択成長させる工程と、前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、前記バーを、前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、を含むことを特徴とする半導体レーザの製造方法が提供される。

#### 【0027】

この製造方法によれば、ウエハから素子を分離する際、クラックの発生を抑制

することができる。また、ドライエッチング等の加工を経ずに溝部を形成できるので、溝部周辺における半導体層へのダメージを低減することができる。

#### 【0028】

上記製造方法において、バーの切断は溝部で行ってもよいし、溝部以外の領域で行っても良い。溝部以外の領域で切断する場合は、一对の溝部を含む半導体レーザチップに分離するようにすることが好ましい。

#### 【0029】

本発明によれば、GaN系半導体からなるウエハ上に、AlGaNクラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、前記バーを、前記溝部以外の領域において前記溝部の延在方向と平行に切断し、一对の溝部を含む半導体レーザチップに分離する工程と、を含むことを特徴とする半導体レーザの製造方法が提供される。

#### 【0030】

この製造方法によれば、クラックの伝播を阻止する分離溝を形成する工程を含むため、信頼性の高い半導体レーザを得ることができる。一对の溝部は、前記AlGaNクラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜する構成とすることができる。

#### 【0031】

本発明の半導体レーザの製造方法において、バーを形成する工程を劈開により行ってもよい。このようにすれば、クラックの発生がより顕著に抑制される。

#### 【0032】

本発明において、「GaN系半導体」とは、GaNおよびAlGaNを含み、好ましくはGaNを用いる。Alを含む構成とする場合は、クラッド層よりも低いアルミニウム組成とする。

#### 【0033】

本発明は、選択成長またはエッチングにより AlGaIn クラッド層のすべてまたは一部の除去されたクラック伝播防止溝を形成し、スクライプまたはダイシング時のクラック発生を抑制するものである。

#### 【0034】

本発明の第一の骨子は、GaIn 系半導体基板上に形成された AlGaIn クラッド層の一部もしくは全てが除去された素子分離溝を形成し、上記溝部でスクライプやダイシング等により素子分離を行うものである。先に述べたように、クラックは大きな引っ張り応力の内在する AlGaIn クラッド層に局所的な機械的応力をかけることにより発生する。AlGaIn クラッド層の除去された領域で素子分離を行えばクラックの発生を抑制することができる。

#### 【0035】

本発明の第二の骨子は、GaIn 系半導体基板上に形成された AlGaIn クラッド層の一部もしくは全てが除去されたクラック伝播防止溝を素子領域の周囲に形成し、上記クラック防止溝の外側でスクライプまたはダイシングにより素子分離を行うことにある。クラックが発生しても素子の活性層領域まで伝播しなければ素子特性を劣化させることはない。素子分離時に発生したクラックの到達距離は数 cm に達するケースもあるが、その駆動力は AlGaIn クラッド層中に内在する応力に起因する。したがって AlGaIn クラッド層のない領域を設けておけば、クラックがその領域に達した時点でそれ以上伝播することはない。さらにクラック伝播防止溝の第二の効果として、寄生容量の低減がある。光ディスク用光源としての LD では、動作時に雑音低減のため通常高周波変調がかけられる。高周波での応答性を改善するためには、素子抵抗および寄生容量の低減が重要となる。このうち寄生容量を下げるためには、実効的な素子面積の低減が最も有効である。窒化物系の LD の場合、一般的な素子サイズは長さ  $600\mu\text{m}$ 、幅  $300\mu\text{m}$  程度であり、これが実効的な素子面積となる。一方クラック伝播防止溝を LD の活性層ストライプの近傍に設けた場合、電氣的に有効な幅は活性層をはさむクラック防止溝間の距離となるため、 $10\mu\text{m}$  程度とすることができる。これにより大幅に寄生容量を低減することが可能となる。

#### 【0036】

**【発明の実施の形態】**

以下、本発明の好ましい実施形態について説明する。これらの半導体レーザにおいて、半導体レーザの出射面は、いずれも GaN 基板および GaN 系半導体層の劈開面、すなわち (1-100) 面となっている。

**【0037】**

図1は、本発明の一実施形態に係る半導体レーザの断面図である。自立 GaN 基板 501 上に、Al GaN からなる n 型クラッド層 502、n 型光閉じ込め層 503、活性層となる多重量子井戸 (MQW) 層 504、キャップ層 505、p 型光閉じ込め層 506、p 型 Al<sub>0.1</sub>Ga<sub>0.9</sub>N クラッド層 507、p 型コンタクト層 508、SiO<sub>2</sub> 絶縁膜 510、p 電極 512 からなる積層膜が形成されている。この積層膜の上部にはメサ部 509 が設けられている。上記積層膜の共振器方向に沿う側面は、自立 GaN 基板 501 から積層方向に向けて共振器幅が小となる方向に傾斜している。図示した半導体レーザでは、基板面に対して約 60 度の角度で傾斜している。この傾斜をもった積層膜の側面は、チップ分離時におけるウエハ切断面となる。このように傾斜をもった構造としているため、チップ分離面の損傷が抑制される。特に、図中、p 電極 512 の両端角部の損傷が有効に抑制される。

**【0038】**

図2は、本発明の他の実施形態に係る半導体レーザの断面図である。LD 構造は図1と共通である。積層膜中に、自立 GaN 基板 501 に到達する一対の素子分離溝 514 が形成されている。素子分離溝 514 の側面には、Al GaN からなる n 型クラッド層 502 が露出している。素子分離溝 514 の側面は、自立 GaN 基板 501 から積層方向に向けて共振器幅が小となる方向に傾斜している。活性層となる多重量子井戸 (MQW) 層 504 を含む LD 構造は、一対の素子分離溝 514 に挟まれた領域に形成されている。すでに述べたように自立 GaN 基板 501 上の Al GaN からなる n 型クラッド層 502 は、引張モードの内部応力を有し、クラックの発生、伝播を引き起こしやすい。図示した半導体レーザでは、この Al GaN からなる n 型クラッド層 502 を分断するように素子分離溝 514 が形成されているため、チップ分離時に LD 構造が損傷することを抑制で

きる上、半導体レーザ使用時に積層膜の共振器方向に沿う側面から入ったクラックの伝播を阻止し、LD構造の損傷を抑制することができる。さらに、素子容量を低減でき、レーザ特性を向上させることができる。

#### 【0039】

図3は、マスク成長により溝部を形成した例である。素子構造は図1、図2の半導体レーザと共通である。積層膜中に、自立GaN基板601に到達する一对の素子分離溝614が形成されている。素子分離溝614の側面には、AlGaNからなるn型クラッド層602が露出している。素子分離溝614の側面は、自立GaN基板601から積層方向に向けて共振器幅が小となる方向に傾斜している。活性層となる多重量子井戸(MQW)層604を含むLD構造は、一对の素子分離溝614に挟まれた領域に形成されている。素子分離溝614の側面は、マスク613から選択成長した半導体層の成長面であり、基板面に対して約60度の傾斜を有している。このような構造を有しているため、図2の半導体レーザで述べた効果に加え、溝形成工程において積層膜中に損傷が発生したり内部歪みが生じたりすることを抑制できる。

#### 【0040】

##### 【実施例】

##### 実施例1

##### (素子の作製)

本実施例では、図1、図2および図10に示す断面構造の半導体レーザを作製し、評価を行った。以下、図1の半導体レーザをタイプA、図2の半導体レーザをタイプB、図10の半導体レーザをタイプCと称する。

#### 【0041】

以下、これらの半導体レーザを作製した手順について説明する。基板としてFIELO法(A. Usui他、Jpn. J. Appl. Phys. 36(1997)L899)により250 $\mu$ m成長させたn型GaN(0001)基板を用いた。上記基板は、HVPE成長後の基板冷却過程でサファイアとGaNの熱膨張係数の違いのためGaN層の剥離が生じ、GaN厚さ200 $\mu$ mの自立GaN基板となっている。素子構造の作製には300hPaの減圧MOVPE装置を用いた。キャリアガスには水素と窒素の混合ガスを用い、Ga, Al, Inソースとして

それぞれトリメチルガリウム(TM<sub>G</sub>)、トリメチルアルミニウム(TM<sub>G</sub>)、トリメチルインジウム(TMI)、n型ドーパントにシラン(SiH<sub>4</sub>)、p型ドーパントにビスシクロペンタジエニルマグネシウム(Cp<sub>2</sub>Mg)を用いた。

#### 【0042】

本実施例では、まず図4(a)に示すLD構造を作製した。上記自立GaN基板501上に、

Siドーパn型Al<sub>0.1</sub>Ga<sub>0.9</sub>N(Si濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ $1.2 \mu\text{m}$ )からなるn型クラッド層502、

Siドーパn型GaN(Si濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$ )からなるn型光閉じ込め層503、

In<sub>0.15</sub>Ga<sub>0.85</sub>N(厚さ3nm)井戸層とSiドーパIn<sub>0.01</sub>Ga<sub>0.99</sub>N(Si濃度 $5 \times 10^{18} \text{cm}^{-3}$ 、厚さ4nm)バリア層からなる3周期活性層となる多重量子井戸(MQW)層504、

Mgドーパp型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nからなるキャップ層505、

Mgドーパp型GaN(Mg濃度 $2 \times 10^{19} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$ )からなるp型光閉じ込め層506、

厚さ $0.5 \mu\text{m}$ のp型Al<sub>0.1</sub>Ga<sub>0.9</sub>Nクラッド層(Mg濃度 $2 \times 10^{19} \text{cm}^{-3}$ )507、

Mgドーパp型GaN(Mg濃度 $2 \times 10^{20} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$ )からなるp型コンタクト層508

を順次成長させて、図4(a)のLD構造を形成した。

#### 【0043】

その後、ドライエッチングによりp型クラッド層507およびp型コンタクト層508を含んだメサ部509を作製し、活性層ストライプが $300 \mu\text{m}$ ごとに形成されたリッジ型LDを得た(図4(b))。ここではレジストマスクを用いてドライエッチングを行ったが、SiO<sub>2</sub>などの誘電体スクを用いてもよい。

#### 【0044】

つづいて、以下のようにしてタイプA、B、Cの3種類の半導体レーザを作製した。タイプAの半導体レーザは、図4(b)の状態からメサ部509の両脇のLD構造を、n-AlGaNクラッド層502までドライエッチングにより溝状に除去し、自立GaN基板501に到達するストライプ状の一对の素子分離溝513を形成し



た。また、タイプBの半導体レーザでは、メサ部509の両脇のLD構造を、n-AlGa<sub>0.5</sub>Nクラッド層502までドライエッチングにより溝状に除去し、自立Ga<sub>0.5</sub>N基板501に到達するストライプ状の一对の素子分離溝514を形成した。一方、タイプCの半導体レーザでは、溝を形成することなく次工程を実施した。

#### 【0045】

ここで、タイプA、タイプBの分離溝形成工程について説明する。まず図4（b）の段階で、ストライプ状の開口を有するレジストマスクを形成する（不図示）。次いでこのレジストマスクを用いてドライエッチングを行い、自立Ga<sub>0.5</sub>N基板501に到達する素子分離溝513または素子分離溝514を形成した。図5はこの段階の断面構造を示す図であり、図5（a）はタイプA、図5（b）はタイプBの断面を示している。メサ部はいずれも10μm幅であり、一对の素子分離溝間の間隔は、タイプAでは300μm、タイプBでは50μmとした。溝の延在する方向は、 $\langle 1-100 \rangle$ とした。

#### 【0046】

このときのドライエッチングは、ICPプラズマによるドライエッチング装置を用い、ドライエッチング条件は、タイプA、Bともに以下のとおりとした。

#### 【0047】

RFパワー：600W

バイアスRFパワー：50W

エッチングガス：Cl<sub>2</sub> 20sccm

エッチング圧力：1.0Pa

エッチング速度：0.5μm/min

エッチングマスク：SiO<sub>2</sub>

エッチングに際しては、シリコン酸化膜からなるマスクを用いた。このマスクは、膜厚150nmと通常よりも薄い厚みとし、さらに、マスクの延在方向と垂直な断面を略台形形状とし、開口部側面が斜面となるようにした。こうすることにより、エッチング過程でマスク開口幅が徐々に大きくなり、溝部の側面が、自立Ga<sub>0.5</sub>N基板501からLD構造の上部に向けて、溝部間の幅が小となる方向に傾斜した形状の構造体を得られる。本実施例では、タイプA、タイプBともに、基

板面に対して約60度の傾斜面が溝部側面に形成された。なお、上記した断面台形状のマスクは、マスクを薄くするとともに、バッファードフッ酸を用いたマスクのパターニングの際、オーバーエッチングを少なくとることが重要となる。

#### 【0048】

この後、 $\text{SiO}_2$ 絶縁膜510を堆積し、メサ部分の頭出しを露光技術により行い、リッジ構造を形成した。n型基板裏にはTi/AIからなるn電極511を形成し、pコンタクト上には、Ni/Auからなるp電極512を形成した。これらの素子を活性層ストライプに垂直な方向、すなわち、素子分離溝513、514に垂直な(1-100)面で劈開し、幅 $600\mu\text{m}$ のバー状とし、片面に $\text{TiO}_2/\text{SiO}_2$ 膜による高反射コーティング(反射率95%)を施した。この後スクライプにより素子分離をおこない半導体レーザチップを作製した。スクライプは、タイプAの素子については素子分離溝で、タイプB、Cの素子については隣り合う活性層ストライプの中央で、それぞれ行った。

#### 【0049】

以上の素子分離工程について図8を参照して説明する。まず、メサ部509および分離溝(不図示)の延在方向と直交する方向に沿ってウエハ800を劈開面802で劈開し、レーザーバーを形成する(図8(a))。次いでそれぞれのバーを、メサ部509および分離溝(不図示)の延在方向のスクライプ線806に沿ってスクライプし、半導体レーザチップに分離する(図8(b)、(c))。こうして図1、図2および図10に示す断面構造の半導体レーザを作製した。

#### 【0050】

(評価)

作製したLDの発振しきい電流密度の典型値はタイプA、B、Cの順に、 $2.5\text{ kA cm}^{-2}$ 、 $2.4\text{ kA cm}^{-2}$ 、 $3.0\text{ kA cm}^{-2}$ であり、スロープ効率はそれぞれ、 $1.3\text{ W/A/facet}$ 、 $1.3\text{ W/A/facet}$ 、 $0.9\text{ W/A/facet}$ であった。

#### 【0051】

特性測定後、p電極を王水にて除去し、光学顕微鏡観察をおこなった結果、タ

タイプCの素子には平均4本のストライプを横切るクラックが観察された。これに対し、タイプAの素子では観察した全ての素子についてクラックは観察されなかった。タイプBの素子は、スクライブ部から発生するクラックがタイプCの素子と同程度観察されたが、すべてクラック防止溝で伝播が抑制され、活性層を横切るクラックは観察されなかった。タイプCの素子のしきい電流密度、スロープ効率などの特性が他と比較して悪いのは、クラックにより内部損失が増加したためと考えられる。

#### 【0052】

また、それぞれの素子の容量を測定したところ、タイプA、B、Cについてそれぞれ、20 pF、12 pF、21 pFであった。これによりクラック伝播防止溝による実効的な素子面積低減により素子容量を低減できることが確かめられた。

#### 【0053】

本実施例におけるタイプAの半導体レーザは、自立GaN基板501に到達する素子分離溝513においてチップに分離されている。この素子分離溝513によりAlGaNクラッド層が除去された領域が形成された箇所で素子分離が行われることとなり、クラックを効果的に抑制することができる。また、この半導体レーザは、上記のように素子分離溝513が斜面を有するため、以下の効果を奏する。

#### 【0054】

(i) 従来、チップ分離工程やチップを搬送時に発生していた半導体レーザの最上層角部の欠損を効果的に抑制することができる。

#### 【0055】

(ii) p型カバー電極上に金線をボンディングする際、カバー電極の段切れを防止し、良好な通電状態を安定的に実現することができる。

#### 【0056】

本実施例におけるタイプBの半導体レーザは、自立GaN基板501に到達する一対の素子分離溝514を有する。この素子分離溝514により挟まれた領域に活性層が形成されているため、活性層を含むLD構造にクラックが伝播することがなく、高品質の半導体レーザが実現される。また、本実施例ではこの素子分離溝514

の側面が傾斜した構造となっているため、半導体層中の残留歪みが低減されるとともにクラック伝播防止効果がより顕著に発揮される。特に溝側面を斜面とすることにより、チップの周囲部等の歪み集中箇所において歪みを分散させる効果が生じる。

#### 【0057】

##### 実施例 2

本実施例では、選択成長による素子分離溝を形成し、素子を作製した例を示す。

#### 【0058】

本実施例に係る半導体レーザは、図 3 に示す構造を有する。以下、この半導体レーザの作製工程について図 6 ～図 7 を参照して説明する。まず、実施例 1 で用いたものと同様の自立 GaN 基板 601 に SiO<sub>2</sub> 絶縁膜を 300nm 堆積し、露光技術により幅 20  $\mu$ m の SiO<sub>2</sub> からなるストライプ状のマスク 613 を 300  $\mu$ m ピッチで形成した (図 6 (a))。マスク 613 は、 $\langle 1-100 \rangle$  方向に延在するように形成した。

#### 【0059】

この後、Si ドープ n 型 Al<sub>0.1</sub>Ga<sub>0.9</sub>N (Si 濃度  $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ 1.2  $\mu$ m) からなる n 型クラッド層 602、Si ドープ n 型 GaN (Si 濃度  $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ 0.1  $\mu$ m) からなる n 型光閉じ込め層 603、In<sub>0.15</sub>Ga<sub>0.85</sub>N (厚さ 3nm) 井戸層と Si ドープ In<sub>0.01</sub>Ga<sub>0.99</sub>N (Si 濃度  $5 \times 10^{18} \text{cm}^{-3}$ 、厚さ 4nm) バリア層からなる活性層となる 3 周期多重量子井戸 (MQW) 層 604、Mg ドープ p 型 Al<sub>0.2</sub>Ga<sub>0.8</sub>N からなるキャップ層 605、Mg ドープ p 型 GaN (Mg 濃度  $2 \times 10^{19} \text{cm}^{-3}$ 、厚さ 0.1  $\mu$ m) からなる p 型光閉じ込め層 606、厚さ 0.5  $\mu$ m の p 型 Al<sub>0.1</sub>Ga<sub>0.9</sub>N クラッド層 (Mg 濃度  $2 \times 10^{19} \text{cm}^{-3}$ ) 607、Mg ドープ p 型 GaN (Mg 濃度  $2 \times 10^{20} \text{cm}^{-3}$ 、厚さ 0.1  $\mu$ m) からなる p 型コンタクト層 608 を順次成長させて、LD 構造の積層膜を形成した (図 6 (b))。この成長により、マスク 613 上部に、 $\langle 1-100 \rangle$  方向に延在するストライプ状の溝が形成される。なお、選択成長のための SiO<sub>2</sub> からなるマスク 613 には AlGaIn 層成長時に多結晶が堆積するが、その膜厚は薄いためプロセスに影響を与えない。

#### 【0060】

LD構造形成後、実施例1で示した素子と同様の工程によりリッジ型LDを作製した。ドライエッチングによりp型クラッド層607およびp型コンタクト層608を含んだメサ部609を形成した(図7(c))。つづいてSiO<sub>2</sub>絶縁膜610を堆積してメサ部分の頭出しを露光技術により行い、リッジ構造を形成した。n型基板裏にはTi/Alからなるn電極611を形成し、pコンタクト上には、Ni/Auからなるp電極612を形成した。これらの素子を活性層ストライプに垂直な方向に劈開し、幅600μmのLDバーを形成後、片面にTiO<sub>2</sub>/SiO<sub>2</sub>膜による高反射コーティング(反射率95%)を施した。この後SiO<sub>2</sub>ストライプ601部をスクライプし、素子分離を行った。図7(d)はこの状態を示す図である。以上の工程により、図3に示す半導体レーザが得られた。

#### 【0061】

作製したLDの発振しきい電流密度の典型値は2.5kAcm<sup>-2</sup>、スロープ効率は1.3W/A/facetであった。p電極を王水で除去後、光学顕微鏡観察を行ったところクラックの発生は見られなかった。

#### 【0062】

以上、本発明を実施例に基づいて説明した。この実施例は例示であり、様々な変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

#### 【0063】

たとえば上記実施例ではGaN基板を用いたが、n型クラッド層よりもアルミニウム組成の低いAlGaN基板を用いることもできる。この場合も、格子定数の大小関係から、上記実施例と同様、クラックの発生や伝播が問題となるが、本発明によりかかる課題を有効に解決することができる。

#### 【0064】

また、上記実施例ではリッジ型の半導体レーザを例に挙げて説明したが、これに限られず、様々な構造の半導体レーザに適用できることはいうまでもない。

#### 【0065】

また、p電極の形成は、光出射面以外の積層膜側面に絶縁膜を介して形成してもよい。

## 【 0 0 6 6 】

## 【発明の効果】

以上説明したように本発明によれば、半導体レーザにおいて、チップ分離面における半導体層の損傷を効果的に抑制することができる。

## 【図面の簡単な説明】

## 【図 1】

実施例に係る半導体レーザの断面図である。

## 【図 2】

実施例に係る半導体レーザの断面図である。

## 【図 3】

実施例に係る半導体レーザの断面図である。

## 【図 4】

実施例に係る半導体レーザの工程断面図である。

## 【図 5】

実施例に係る半導体レーザの工程断面図である。

## 【図 6】

実施例に係る半導体レーザの工程断面図である。

## 【図 7】

実施例に係る半導体レーザの工程断面図である。

## 【図 8】

実施例に係る半導体レーザの工程断面図である。

## 【図 9】

従来の半導体レーザの工程断面図である。

## 【図 1 0】

実施例に係る半導体レーザの断面図である。

## 【図 1 1】

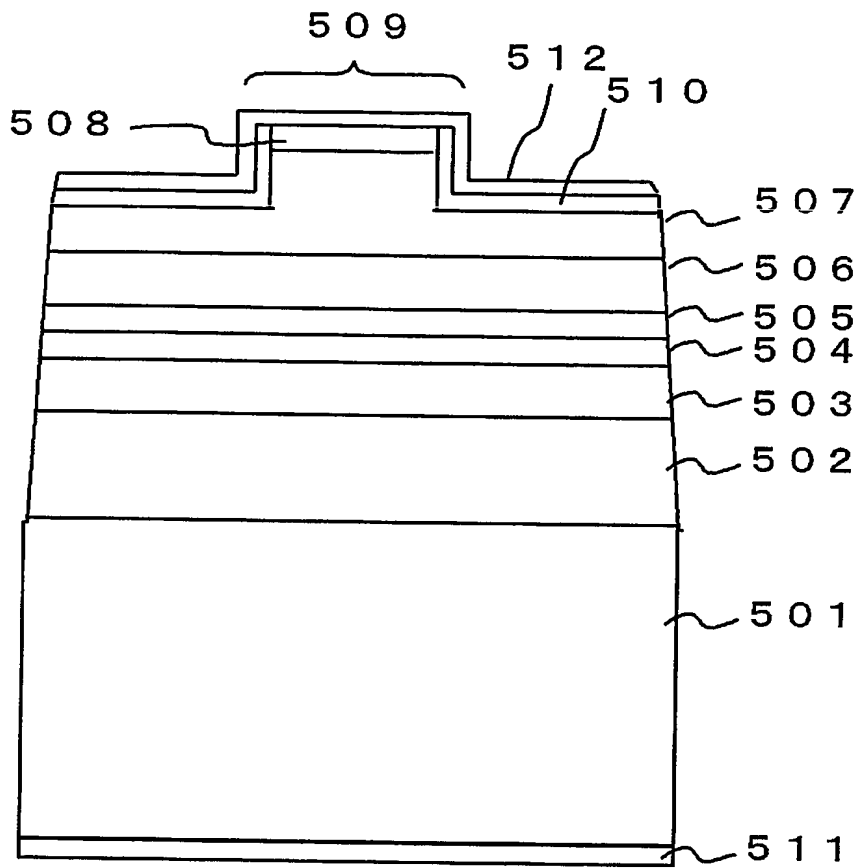
半導体レーザのチップ分離の際に生じる損傷の様子を説明するための図である。

## 【符号の説明】

- 501 自立 GaN 基板
- 502 n 型クラッド層
- 503 n 型光閉じ込め層
- 504 多重量子井戸 (MQW) 層
- 505 キャップ層
- 506 p 型光閉じ込め層
- 507 p 型 Al<sub>0.1</sub>Ga<sub>0.9</sub>N クラッド層
- 508 p 型コンタクト層
- 509 メサ部
- 510 SiO<sub>2</sub> 絶縁膜
- 512 p 電極
- 513 素子分離溝
- 514 素子分離溝
- 601 自立 GaN 基板
- 602 n 型クラッド層
- 603 n 型光閉じ込め層
- 604 多重量子井戸 (MQW) 層
- 605 キャップ層
- 606 p 型光閉じ込め層
- 607 p 型 Al<sub>0.1</sub>Ga<sub>0.9</sub>N クラッド層
- 608 p 型コンタクト層
- 609 メサ部
- 610 SiO<sub>2</sub> 絶縁膜
- 612 p 電極
- 613 マスク
- 632 素子分離溝
- 614 素子分離溝
- 800 ウエハ

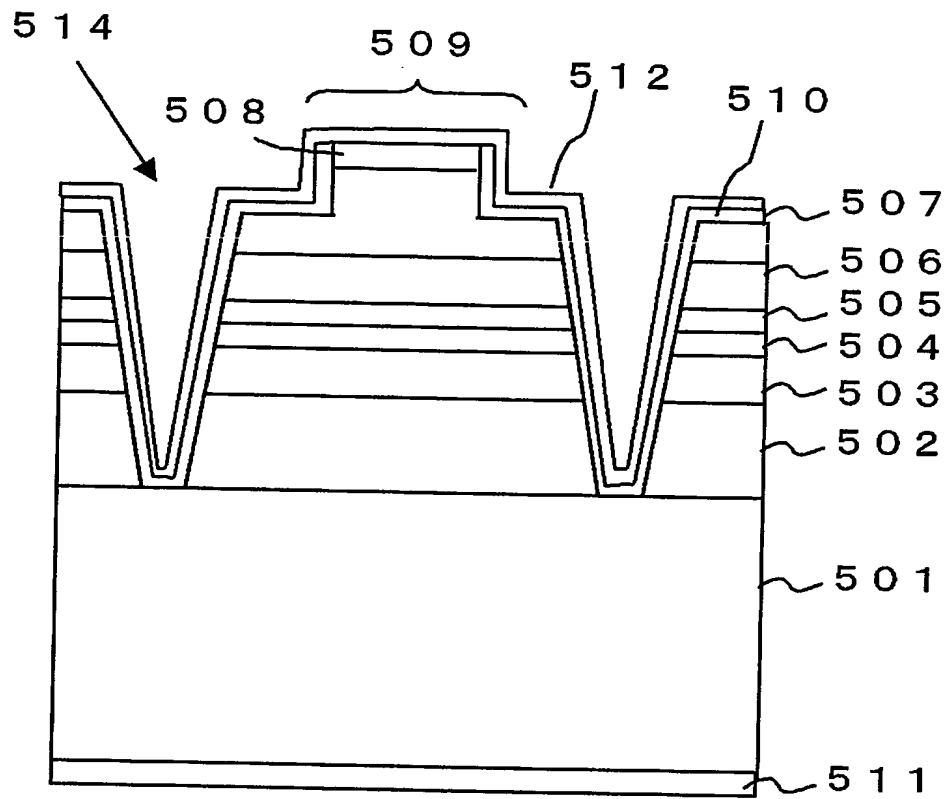
【書類名】 図面

【図 1】

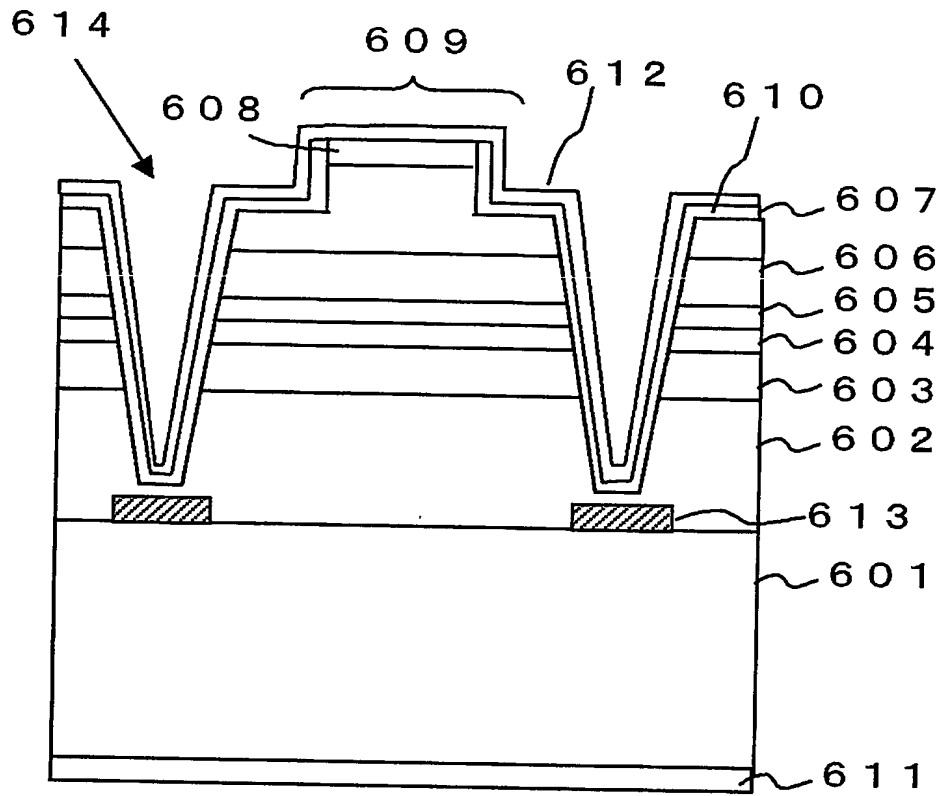




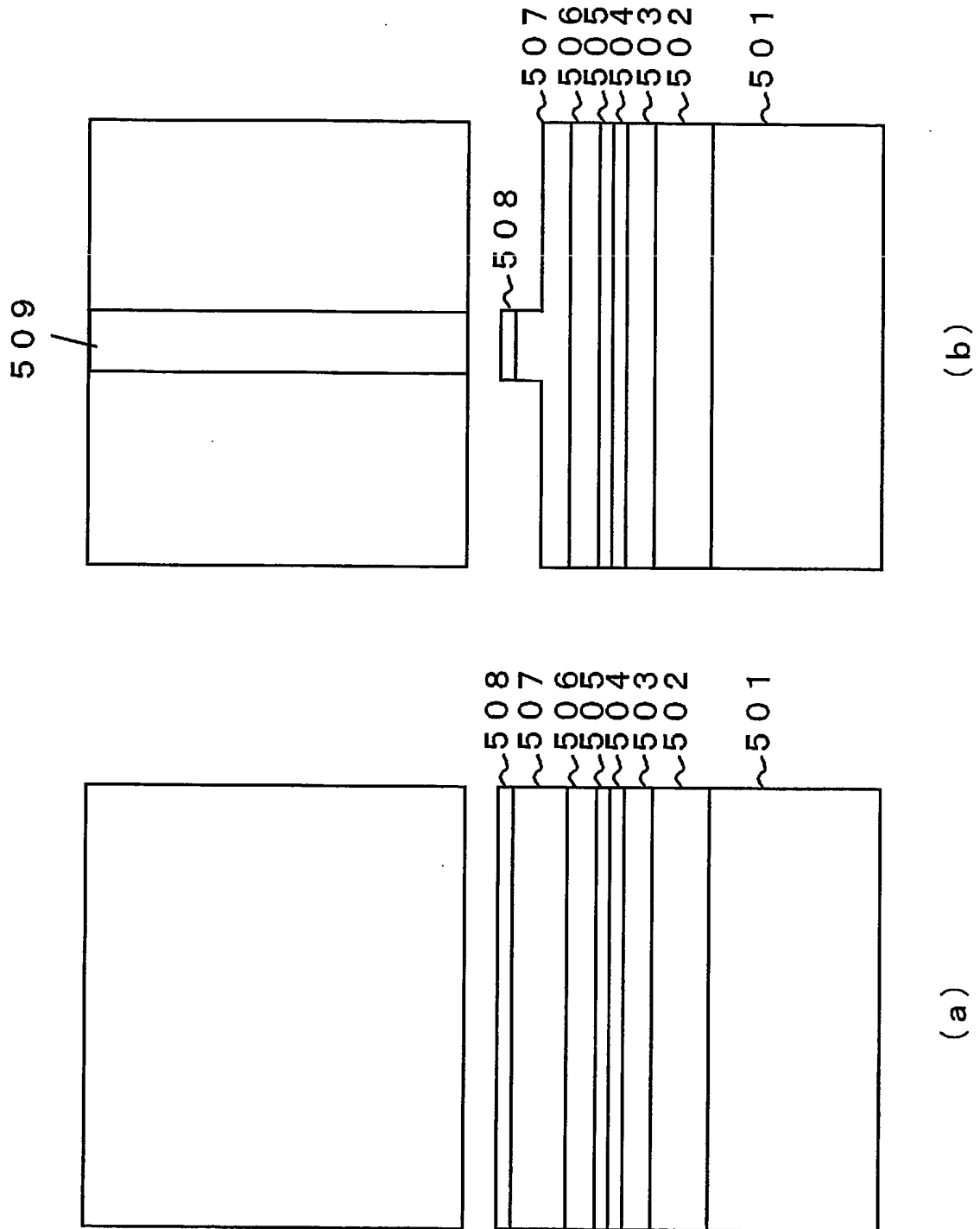
【図 2】



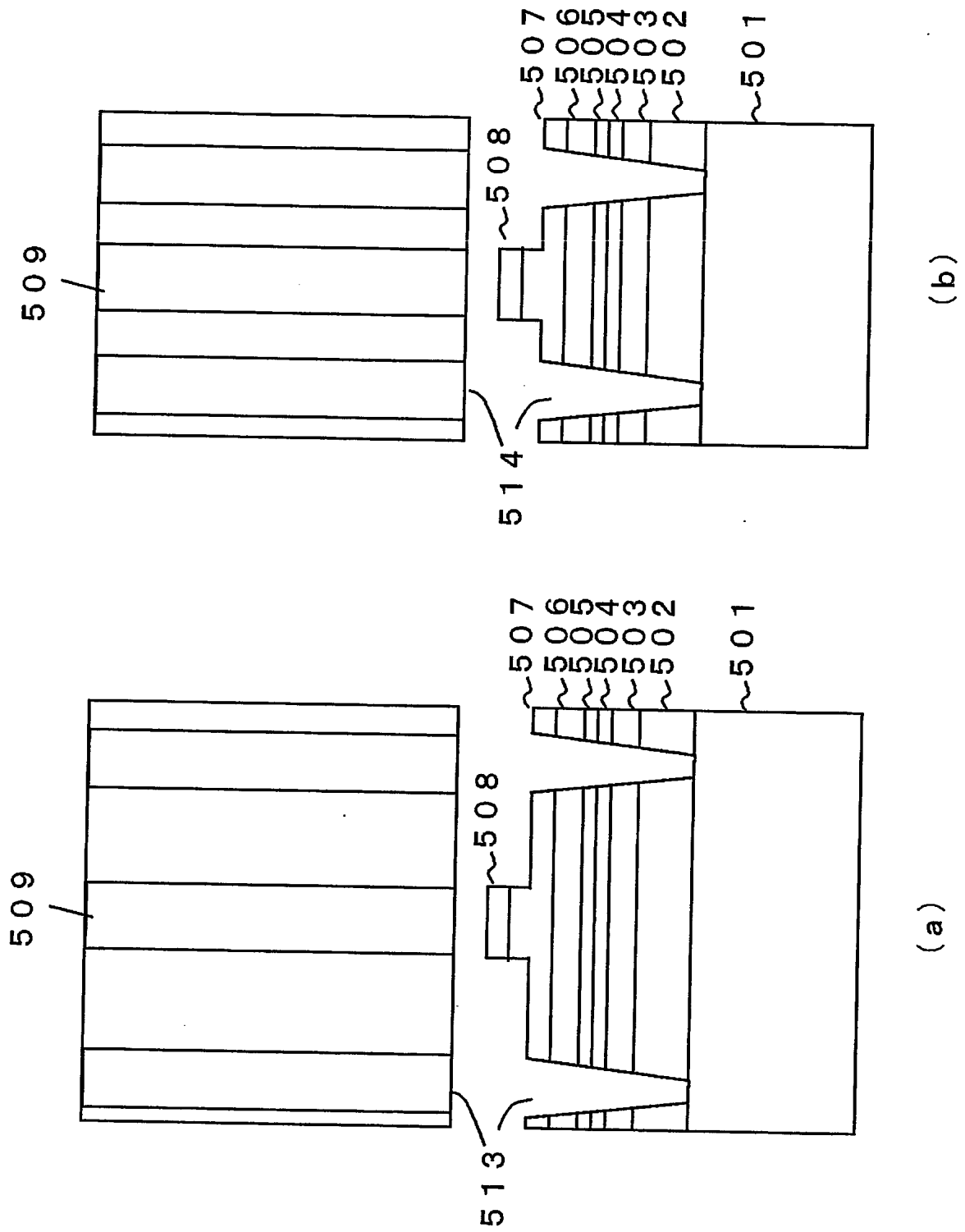
【図3】



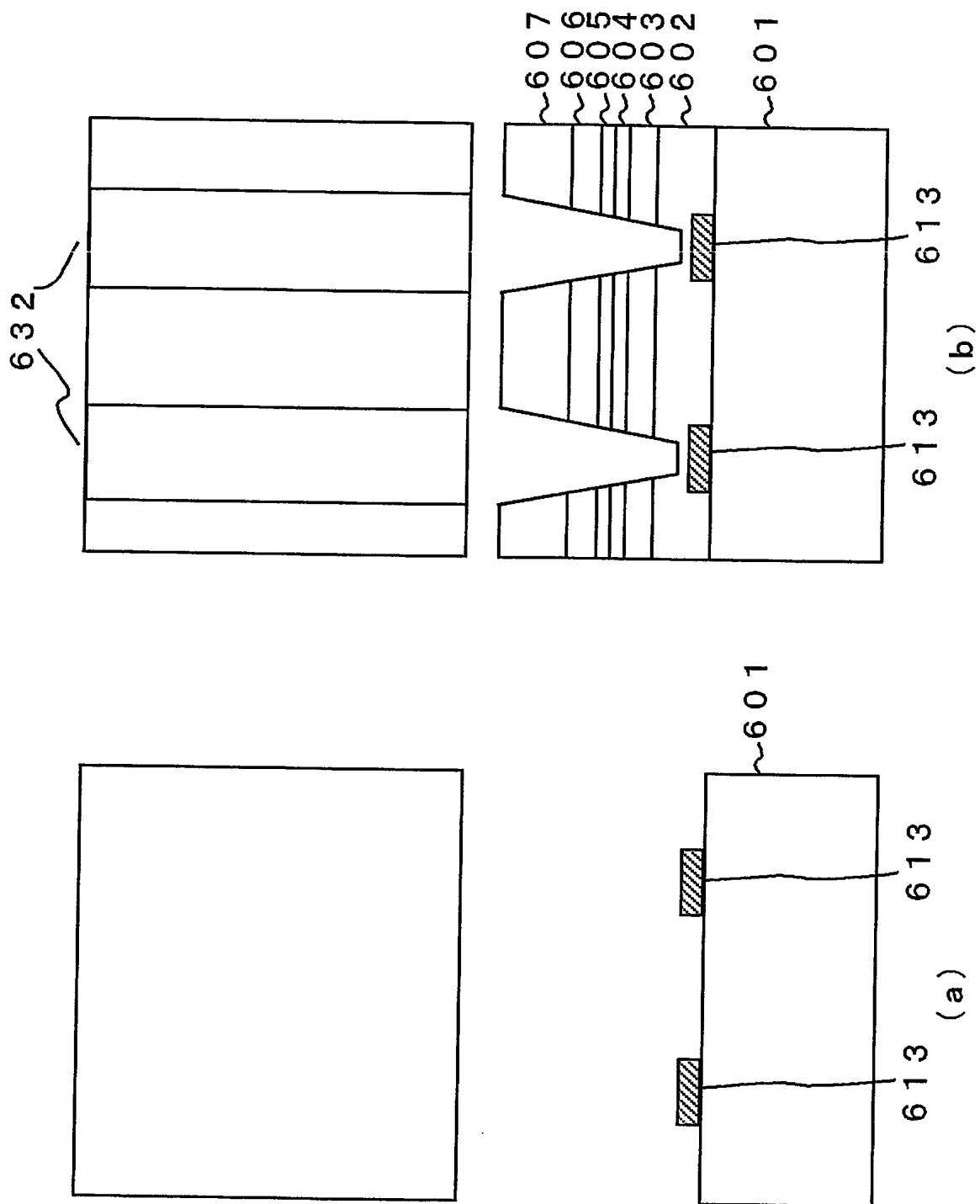
【図 4】



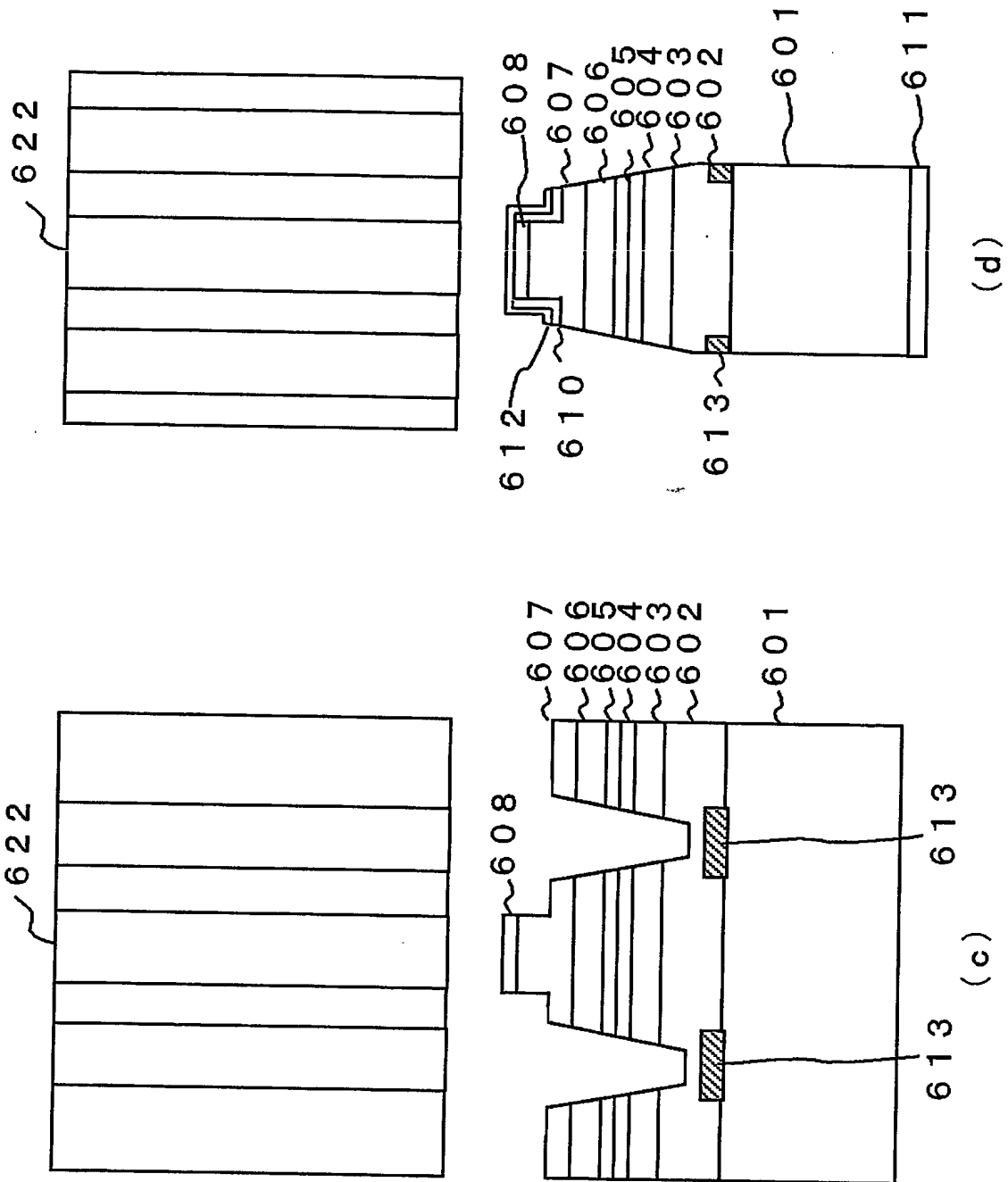
【図 5】



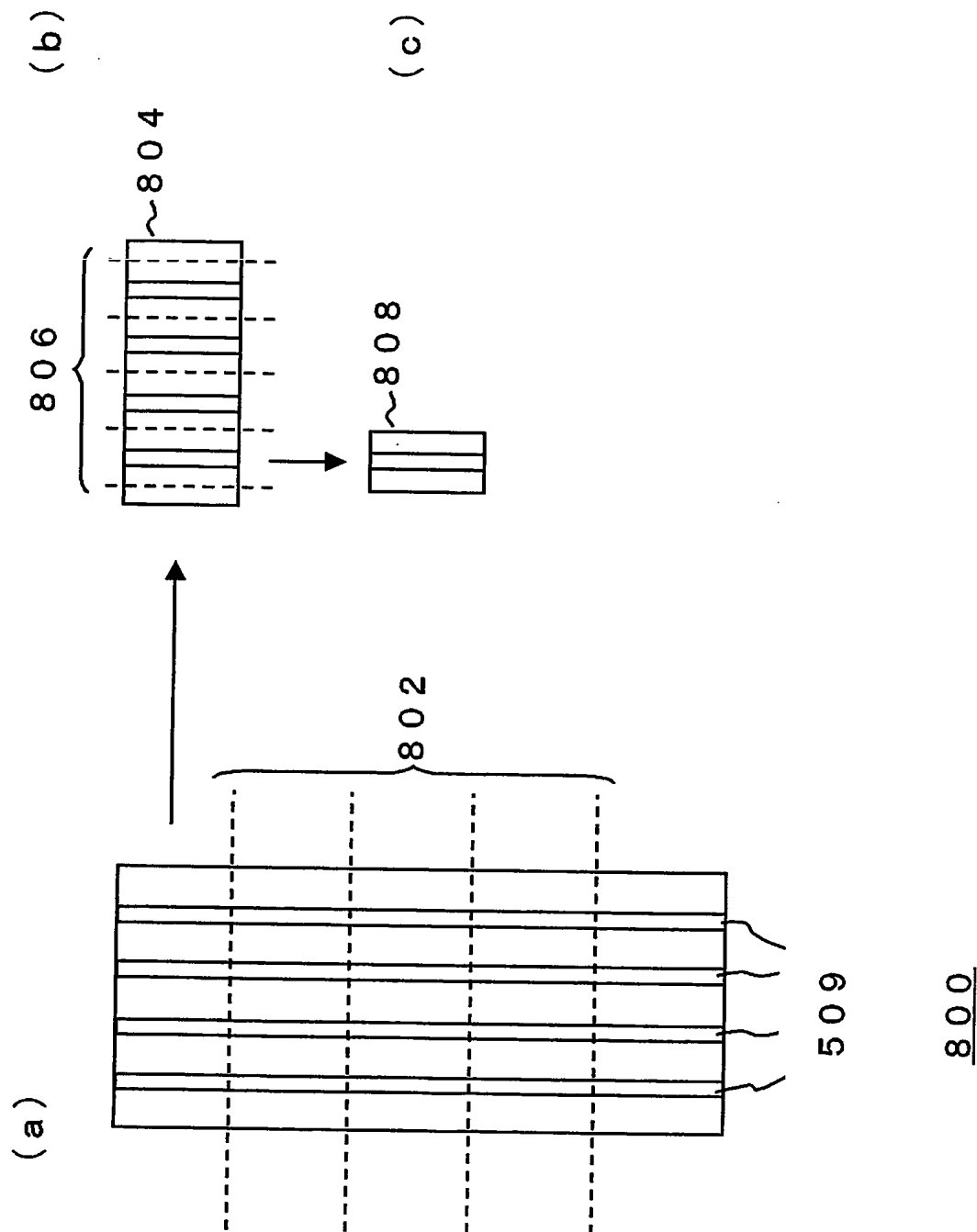
【図 6】



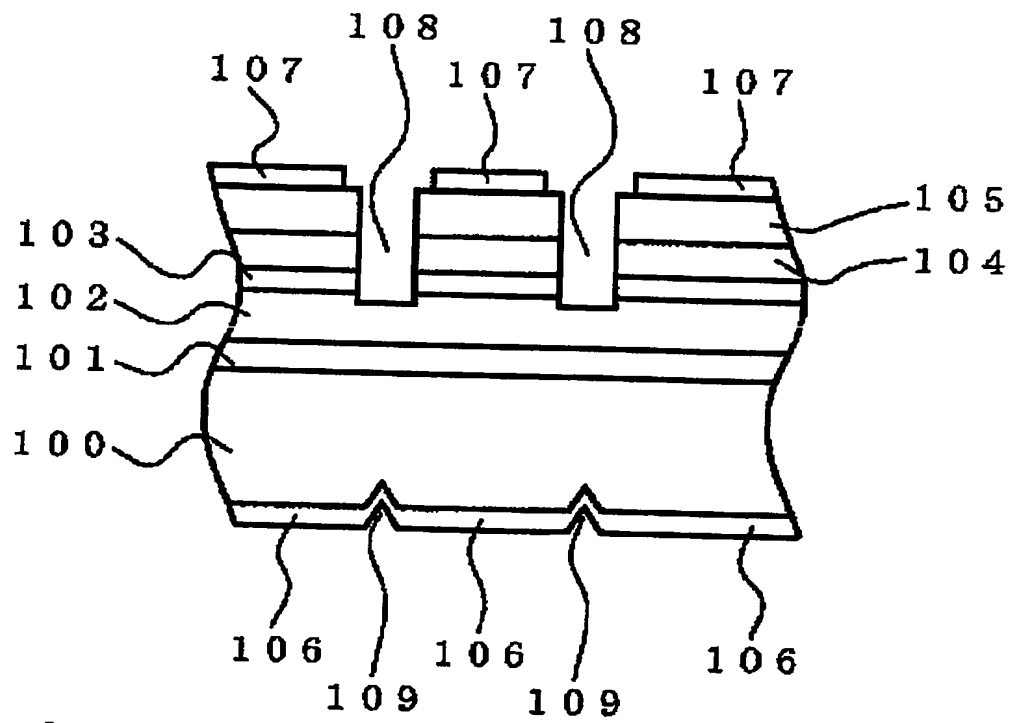
【図 7】



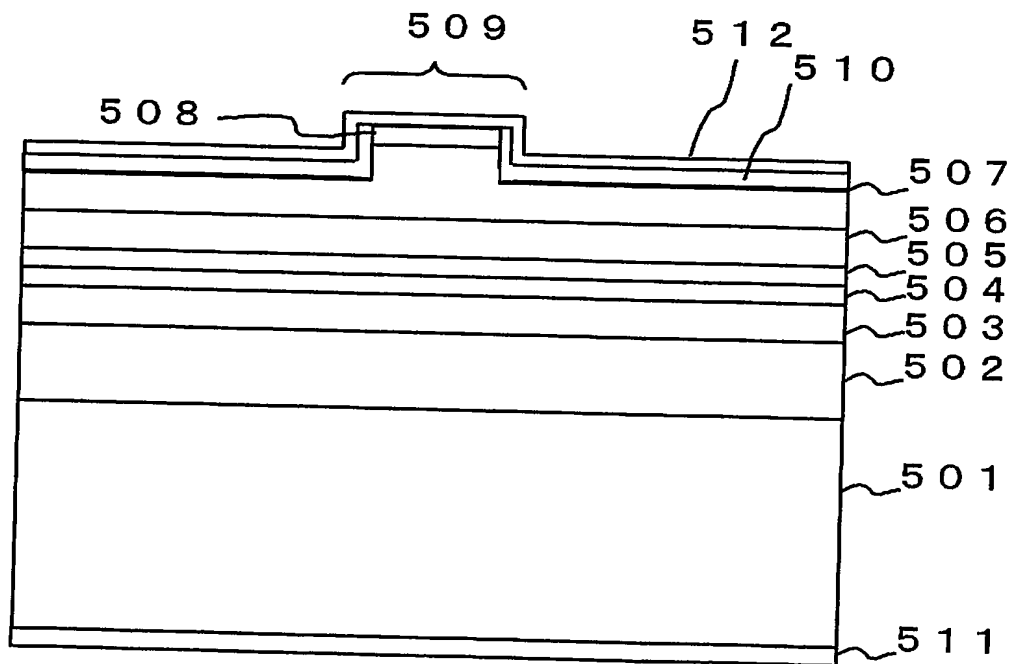
【図 8】



【図9】

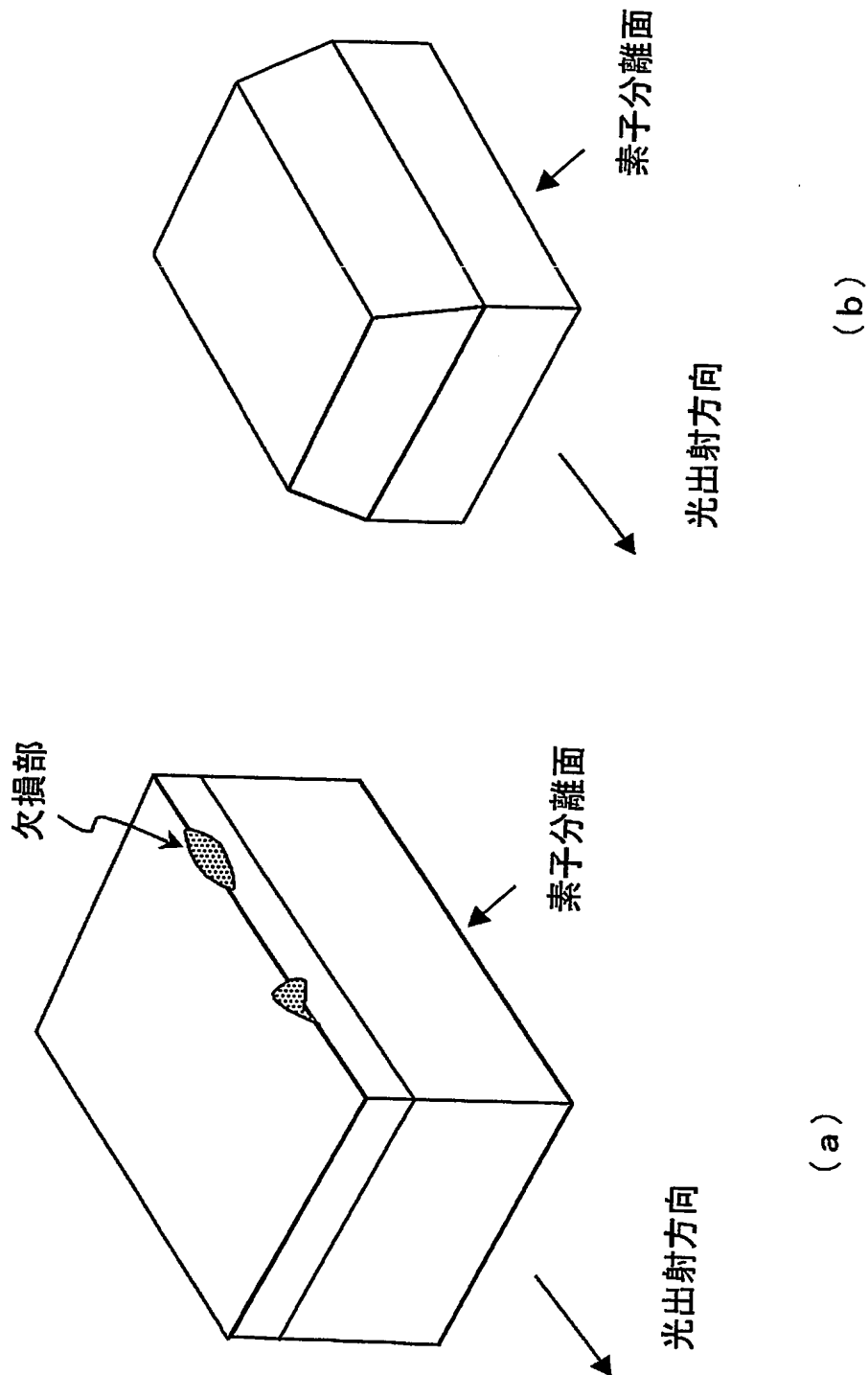


【図10】





【図 11】



【書類名】 要約書

【要約】

【課題】 GaNやAlGaN等のGaN系半導体基板を用いた半導体レーザにおいて、チップ分離面における半導体層の損傷を抑制する。

【解決手段】 自立GaN基板501上に、AlGaNからなるn型クラッド層502、活性層となる多重量子井戸(MQW)層504を含む積層膜を形成する。この積層膜の共振器方向に沿う側面を、自立GaN基板501から積層方向に向けて共振器幅が小となる方向に傾斜させる。

【選択図】 図1

特願 2003-085132

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社